

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-204958
 (43)Date of publication of application : 06.09.1991

(51)Int.CI. H01L 21/82
 H01L 27/04

(21)Application number : 02-183981 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 13.07.1990 (72)Inventor : MIHASHI TAKASHI

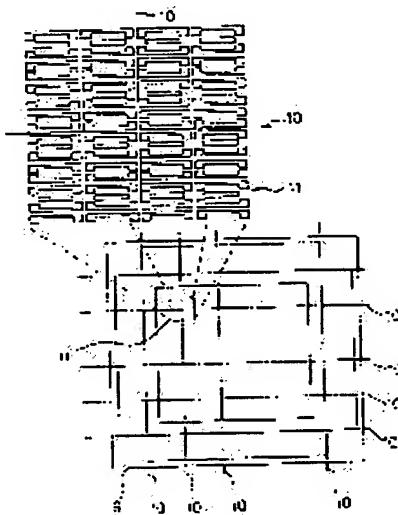
(30)Priority
 Priority 01268193 Priority 17.10.1989 Priority JP

(54) DESIGNING METHOD AND DEVICE FOR POWER SUPPLY WIRING OF SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To automatically obtain an optimal power supply/ground wiring corresponding to the distribution of the electrical scalar quantity of regions on a semiconductor board by a method wherein the power consumption and the maximum current of the regions of a chip are accurately computed.

CONSTITUTION: Logic gates and transistors contained in each of sub-regions 11 divided by virtual gratings 10 are extracted, and the load of the logic gates in each sub-region 11 is computed. The total number of all events of gates contained in a grating observed during a simulation which is made to take place for a certain time are summed up, and the total sum is divided by evaluating hours to obtain an average number of events, so that a switching probability can be computed. A power source current flowing through each of the sub-regions 11 is computed, and the resistance of power supply wires which traverse the four sides of each of the sub-regions 11 is determined by computation basing on the width, the resistivity, and others of the power supply wire. Circuit equations concerning the potential of each sub-region and a current flowing through a power supply wire are set up and processed by analysis. A power supply wiring is designed basing on the computed result and the totally cumulative value of rows and columns on a chip 9.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑪ 公開特許公報 (A)

平3-204958

⑫ Int. Cl. 5

H 01 L 21/82
27/04

識別記号

府内整理番号

⑬ 公開 平成3年(1991)9月6日

D

7514-5F

8225-5F

H 01 L 21/82

L

審査請求 未請求 請求項の数 3 (全22頁)

⑭ 発明の名称 半導体集積回路の電源配線設計方法及び電源配線設計装置

⑮ 特 願 平2-183981

⑯ 出 願 平2(1990)7月13日

優先権主張 ⑰ 平1(1989)10月17日 ⑯ 日本(JP) ⑮ 特願 平1-268193

⑰ 発明者 三橋 隆 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑱ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑲ 代理人 弁理士 三好 秀和 外1名

明細書

と、

1. 発明の名称

半導体集積回路の電源配線設計方法及び電源配線設計装置

2. 特許請求の範囲

(1) 半導体基板上に仮想的な格子を設定し、この格子により分割される前記半導体基板の各部分領域毎の電気的特性を抽出し、得られた電気的特性を基に前記各部分領域毎の回路特性を求め、この回路特性により求められた演算結果を表示し、この表示された前記演算結果を基に電源配線を設計することを特徴とする半導体集積回路の電源配線設計方法。

(2) 半導体基板上に仮想的な格子を設定する格子設定手段と、

この格子設定手段により設定された仮想的な格子により分割される前記半導体基板上の各部分領域の電気的特性を抽出する電気的特性抽出手段と、

この電気的特性抽出手段により抽出されだ前記各部分領域の回路特性を求める回路特性演算手段

この回路特性演算手段により求められた演算結果を表示する表示手段と、

この表示手段により表示された前記演算結果に応じて電源配線設計を行なう電源配線設計手段とを具備したことを特徴とする半導体集積回路の電源配線設計装置。

(3) 半導体集積回路の電源・グランド配線の回路モデルを試行的に生成する試行回路発生手段と、

前記試行回路発生手段の生成した回路モデルの各部分領域毎の電気的特性を解析する解析手段と、

前回生成した回路モデルに対する前記解析手段による電気的特性の解析結果と今回生成した回路モデルに対する前記解析手段による電気的特性の解析結果とを比較して評価する比較手段と、

前記比較手段の比較評価結果に従って、回路モデルを所望の目的に向くように改善する方策情報を生成して前記試行回路発生手段に与える改善方策生成手段とを備えて成る半導体集積回路の電源

配線設計装置。

3. 発明の詳細な説明

【発明の目的】

(産業上の利用分野)

この発明は、コンピュータを用いた半導体集積回路の電源配線設計方法及び電源配線設計装置に関するもの。

(従来の技術)

大規模集積回路のレイアウト設計には、コンピュータを用いたレイアウトシステムが広く利用されている。そして、従来用いられているレイアウトシステムにおいては、レイアウト処理の手順はフロアプランによってチップ上の概略レイアウトを決定し、電源線やクロック等の特種配線の経路を決定し、それらのフロアプランに従って一般のセルの配置の詳細を決定し、配線を行なうようしている。

従来より一般配線については、各種の自動配線アルゴリズムが提案され利用されている。しかしながら、電源配線に関しては、一般信号と異なり、

各部分によって流れる電流が異なり、配線幅を変化させる等の必要があるために自動設計化するのが難しく、提案されている電源配線設計方法は数少ないが、流れる電流量に応じて配線幅を変化させる電源配線を行なう例として、(VLSI 85: Proc. IPIP TC10/WG10.5 INT'L CONF. on VLSI, pp. 389-399, Tokyo JAPAN, Aug. 1985) に Ulrich Lauther により提案されている、"CHANNEL ROUTING IN A CELL ENVIRONMENT" と題された報告がある。

この報告の中では、金属一層配線が前提とされ、電源・グランド配線の構造について特別なツリー構造を考え、相互にショートを発生しないよう決められている。また、配線幅については、その電源・グランド配線に流れる電流を予測して決定する方式が提案されている。

これに対して、ゲートアレイ等においては、上記の方式とは異なった電源・グランド配線方式が採用されている。第3図に示すようなゲートアレイによく利用される電源・グランド配線の方式は

マクロセルと呼ばれる、あらかじめ設計された単位機能の要素を列状または行状に配列し、その上に電源線、グランド線を通す方式である。そして、スタンダードセル方式の場合にはマクロセル上に電源線、グランド線が作り付けられており、マクロセルを側面を接して並べるだけで電源・グランド配線が完成するように工夫されていることもある。

このようなゲートアレイやスタンダードセル方式の半導体集積回路の製造においてはほとんどの場合、2層以上の金属配線層が利用されるために電源・グランド配線においても垂直方向を第1配線層、水平方向を第2配線層等と分けて利用する場合が多い。

ところで、ゲートアレイやスタンダードセル方式の集積回路の設計においては、配線に利用できるスペースが少ないために電源・グランド配線の幅もできる限り狭くすることが望ましい。しかし、配線の幅があまり狭くなると、エレクトロダイグレーションの危険等のために十分な電流を流せな

い問題や、電源・グランド電位の変動が配線抵抗により起こる問題があった。

このような問題を避けるためには、第13図に示すような本来の電源・グランド配線44, 45に垂直に他の層の配線46, 47で電源補強を行なう手法が利用されている。しかしながら、このような電源補強も配線のためのスペースを必要とするので、特性上も信頼性上も問題のない範囲で最少限にする必要があり、自動化の困難な設計上のステップとなっており、このために、多くの場合、設計者がグラフィックエディタ等を利用して人手により配線設計を行なわなければならなかつた。

ところで、半導体集積回路の消費電力、電源線に流れる電流量はチップ内の各領域において変動があるので、そのチップ内での消費電力分布に従って電源補強を行なうことができれば、配線に利用できるスペースの有効活用ができる。

このような消費電力情報を負荷容量やトランジスタの寸法、スイッチングの頻度等から正確に予

測する手法については、昭和60年度の電子通信学会、半導体・材料部門全国大会の2-67で、梶原宏らが発表した「論理回路のスイッチング確率」や、Carver Meadらの著書 "Introduction to VLSI systems" (Addison-Wesley 1980) の340頁等に一部その手法の原理が紹介されているが、これらの原理をCADシステムとして統合し、設計者が容易に利用できるようにするには種々の技術的困難があった。

このため、実際には、このような予測手段が設計に利用されることは少なく、多くの場合、設計者が人手により論理回路の各部分の消費電力を計算して電源・グランド配線の幅を決定していた。しかも、ゲートアレイ、スタンダートセル方式の半導体集積回路の設計においては、自動レイアウトをかなり利用するために、論理回路の各部分とレイアウトされた部分との相互関係が不明確となり、人手により配線設計、電源・グランド配線の幅の決定を行なう場合にはレイアウトの各部分の消費電力推定が難しくなり、設計上の失敗が起こ

る目してチップ上の配線スペースを考慮して最適な配線、つまり必要以上に電源線、グランド線を張らずに、しかも電気的特性や寿命に十分対応できる電源・グランド配線経路を決定するのは困難である問題点があった。

そこで、このような問題点を解決するためには、チップ上の各領域の消費電力、最大電流を精度良く計算する手法、この各領域の消費電力、電流をから必要な電源・グランド配線の形態を決定して自動的にレイアウトに実現する手法や装置、さらには設計者が独自に判断できるようにインターフェイス装置によく理解できるように表示する手法や装置の開発が求められていた。

この発明は、このような従来の技術的な課題を解決するためになされたもので、チップ上の各領域の消費電力、最大電流を精度良く計算することにより電源・グランド配線の最適化のための情報を設計者に与えることができ、また半導体基板上の各部分領域の消費電力や最大電流を精度良く推測評価し、それらの電気的な量の半導体基板

りやすく、このような失敗を恐れてできる限り多数の電源補強を配線後に行なうようにしているが、この効果は必ずしも定量的に検証されたものではなかった。

さらに、従来より半導体集積回路の最適化手法として Donald A. Calahanの著作である "Computer-Aided Network Design", McGraw-Hill, USA(1972) の第6章に見られるように、非線形最適化技法等を使用した手法が提案されているが、これらは電源線やグランド線を対象とするものではなく、主として回路の処理対象となる信号に目して最適化を行なうものであった。また回路の接続構造を変化させ、つまり新しく電源線を追加する等の変更により補強するような手法は考えられていなかった。このため、現実的な電源線の最適化としては不十分なものであった。

【発明が解決しようとする課題】

以上のように従来の半導体集積回路の電源配線設計手法では、ASIC等のレイアウト設計においては、チップ上の消費電力の分布の偏在性に

上での分布に対応して自動的に最適な電源・グランド配線を求めることができる半導体集積回路の電源配線設計方法及び電源配線設計装置を提供することを目的とする。

【発明の構成】

【課題を解決するための手段】

この発明の半導体集積回路の電源配線設計方法は、半導体基板上に仮想的な格子を設定し、この格子により分割される前記半導体基板の各部分領域毎の電気的特性を抽出し、得られた電気的特性を基に前記各部分領域毎の回路特性を求め、この回路特性により求められた演算結果を表示し、この表示された前記演算結果を基に電源配線を設計するものである。

またこの発明の半導体集積回路の電源配線設計装置は、半導体基板上に仮想的な格子を設定する格子設定手段と、この格子設定手段により設定された仮想的な格子により分割される前記半導体基板上の各部分領域の電気的特性を抽出する電気的特性抽出手段と、この電気的特性抽出手段により

抽出された前記各部分領域の回路特性を求める回路特性演算手段と、この回路特性演算手段により求められた演算結果を表示する表示手段と、この表示手段により表示された前記演算結果に応じて電源配線設計を行なう電源配線設計手段とを備えたものである。

さらにこの発明の半導体集積回路の電源配線設計装置は、半導体集積回路の電源・グランド配線の回路モデルを試行的に生成する試行回路発生手段と、前記試行回路発生手段の生成した回路モデルの各部分領域毎の電気的特性を解析する解析手段と、前回生成した回路モデルに対する前記解析手段による電気的特性の解析結果と今回生成した回路モデルに対する前記解析手段による電気的特性の解析結果とを比較して評価する比較手段と、前記比較手段の比較評価結果に従って、回路モデルを所望の目的に向くように改善する方策情報を生成して前記試行回路発生手段に与える改善方策生成手段とを備えたものとすことができる。

(作用)

またこの発明の半導体集積回路の電源配線設計装置では、試行回路発生手段により半導体集積回路の電源・グランド配線の回路モデルを試行的に生成し、この試行回路発生手段の生成した回路モデルの各部分領域毎の電気的特性を、解析手段によって解析する。

そして、試行回路発生手段が前回生成した回路モデルに対する解析手段による電気的特性の解析結果と今回生成した回路モデルに対する解析手段による電気的特性の解析結果とを比較手段によって比較評価し、この比較評価結果に従って、改善方策生成手段が回路モデルを所望の目的に向くように改善する方策情報を生成して試行回路発生手段に与える。

こうして、この試行手順を何度か繰り返すことにより、電源・グランド配線の最適化設計を行なう。

(実施例)

以下、この発明の実施例を図に基づいて詳説する。

この発明の半導体集積回路の電源配線設計装置では、格子設定手段により半導体基板の領域を複数の部分領域に分割し、各部分領域毎にそこに含まれるゲートの数、トランジスタの寸法、ゲートの負荷容量、部分領域のゲートに関連するクロック周波数等の電気的特性を電気的特性抽出手段により抽出する。

そしてこの電気的特性抽出手段の抽出した電気的特性を基にして、回路特性演算手段により各部分領域毎に電源線電位、電源電流、消費電力、発熱量等の回路特性を求め、電力電流演算手段によりそこを流れる消費電力または電流値を求める。

そしてさらに、表示手段により、前記回路特性演算手段の求めた各部分領域毎の演算結果、または前記演算結果を前記半導体基板上の横列毎、縦列毎に積算し、前記半導体基板上の位置と対応させて表示する。

そして、この表示手段の表示する演算結果に応じて電源配線設計手段が電源配線設計を行なう。

一般に半導体基板のチップ領域を複数の部分領域に分割することによってチップ上の消費電力、電源電流の分布の局所性を容易に表現できる。また部分領域における消費電力、電源電流の計算には、その部分領域に含まれるゲートの数やトランジスタの大きさ、各配線の負荷容量等の電気的特性パラメータが必要であるが、レイアウト設計用CAD装置では配置された素子の位置からそのような電子回路情報が容易に検索できるようにデータベースに格納されているために、この電子回路情報を検索することにより電気的特性パラメータを容易に知ることができる。またCMOS回路技術においては、クロック周波数に比例して消費電力が増加するために部分領域に含まれるゲートに対応するクロックの周波数を知ることが大切であるが、それも容易に行なえる。そして、これらの電気的特性パラメータを基にして各部分領域の消費電力、電源電流は容易に計算することができる。

さらに、得られた各部分領域毎の消費電力、電

源電流を直接チップ上の位置と対応させることができることも電源・グランド配線の最適化設計を行なう上で大きな効果がある。そして、多くのゲートアレイ・レイアウトLSIのように電源線、グランド線をチップに垂直、水平に格子状に配線する場合は、チップに対して水平軸、垂直軸の部分区間を辺として対向するチップ辺までのスリット状の領域の消費電力、電源電流を知ることができた方が、そのスリット状領域に電力を供給する電源線との関連が明らかになり、便利であり、チップとの対応をとつての処理も容易である。

このような理由から、この発明の実施例ではチップの水平辺、垂直辺に対して設定された部分区間を積算して消費電力、最大電流量、電源・グランドの電位変化をその部分区間との対応において知ることができるようとする。

さらに、上記のようにチップ上の各部分領域に供給される電力、電流を特定の形状の電源・グランド配線から供給する場合を考えると、各部分領域の電圧-電流特性を表現する素子と配線の抵抗

り、容易に解析することができるようになる。

そして、正確な解析を行なうためには、逐次的な解析により繰り返し計算における前回の各点の電位から部分領域を通過する電流と等価な電流源を作つて線形化した解析を行なうことによって誤差を少なくしていくことができ、このように線形化して等価電流源で置き換えることにより解析が非常に容易となる。

こうして得られた電位、電流分布を解析し、許容電圧降下、エレクトロマイグレーションを考慮した許容電流密度と解析結果の電位、電流分布の差から電源回路の配線の抵抗値を変化させ、また新しい配線経路を生成して所定の範囲に入れる必要があり、回路レイアウト設計に当つてはこの操作を繰り返し行ない、最適な電源配線設計を行なうのである。

上記の繰り返し操作の中では、抵抗値を変化させたり、新しい電源配線経路を生成したりする必要がある。このためには、どの部分の配線抵抗を変化させたり、新しい配線を追加したりすれば問

を考えれば回路方程式を容易に記述でき、配線上の電位、電流密度を容易に知ることができる。したがつて、これらの情報から許容電流密度、電圧降下を指定すれば、電源の本数や配線幅、つまり配線の抵抗をどのように設定すればよいか決定することができる。ただし、各部分領域の電圧-電流特性を表現する素子の非線形性等のために繰り返し改良による処理が必要であり、また終了判断を行なう必要がある。

ところが、各部分領域における電源電圧と電源電流との関係は、大局的に見ると非線形な素子特性となってしまう。このために、回路方程式を解こうとすると非線形性のために解の収束性等で問題が起こる可能性が大きくなる。

しかしながら、この問題においては、元來、電源の配線を扱つておらず、回路の状態によって各点の電位がそう大きく変化するとは考えられないのと、近似的に別の方法で想定した各部分領域の電位から計算した部分領域を通過する電流と等価な電流源で置き換えて回路方程式を立てることによ

題となっている部分、つまり電源電位の降下が所定の値より大きい部分や、電源配線の電流密度が所定値より大きい部分等の電位や電流密度を最も効果的に改善できるかという問題を解く必要がある。なお、この部分で作られた試行的な改善案は後で受け入れられるどうか評価されることになる。

第1図はこのような考察の下に案出したこの発明の半導体集積回路の電源配線設計装置の一実施例を示すブロック図であり、必要な情報を入力する入力部1と、設計対象となるチップ上に仮想的な格子を設定して複数の部分領域に分割する格子設定部2と、各部分領域毎にゲートの数、トランジスタの寸法、ゲートの負荷容量、部分領域のゲートに関連するクロック周波数等の電気的特性パラメータを抽出する電気的特性抽出部3とを備えている。また、電源線電位、電源電流、消費電力または発熱量を求めるための回路方程式を作成する回路方程式作成部4と、この回路方程式を解くための回路方程式解析部5と、得られた演算結果

を出力する出力部6と、演算結果または求められたチップ上の縦横各列の全体的な積算値を基に電源配線を設計する電源配線設計部7と、さらに各部分領域毎の演算結果、さらにはチップ上に想定された縦横各列の全体的な積算値をチップ上の位置座標と対応させて表示するグラフィック表示部8とを備えている。

次に、上記の構成の半導体集積回路の電源配線設計装置の動作について説明する。なお、この実施例の半導体集積回路の電源配線設計装置の動作は、この発明の半導体集積回路の電源配線設計方法の一実施例の説明ともなるものである。

第2図は第1図に示す半導体集積回路の電源配線設計装置の動作を示すフローチャートであり、第3図は電源配線設計を行なう半導体集積回路(チップ)9を示している。

まず、ステップS1において、入力部1から電源配線設計に必要な情報を入力し、格子設定部2により設計対象チップの領域に対して縦横の仮想的な格子10、10を設定して複数の部分領域に

に大きく依存している。ただし、CMOS技術を利用した場合には、配線の浮遊容量、及び負荷の容量が重要である。ここで、抽出された負荷の大きさは電流計算のステップで利用される。

次にステップS4において、平均スイッチング確率を計算する。つまり、CMOSゲートアレイの場合、消費電力はスイッチング確率に比例するため、所定の部分領域に含まれる論理ゲートの平均的なスイッチング確率を計算しておく必要がある。このスイッチング確率の計算方法としては、最も直接的な方法として論理シミュレータを利用する方法がある。この方法では、所定のテスト系列を論理シミュレータにかけ、すべてのゲートについてシミュレーションにおいて発生するイベントの数を記録しておく。

このようにしてシミュレーションをある時間続けていくことにより、各ゲート毎の所定時間内に起こったイベントの数を知ることができる。そして、次には、着目した格子に含まれるゲートすべてのイベント数の総和をとり、評価した時間で割

分割する。

ここで、部分領域への分割は、チップ母体の下地のトランジスタを途中で切断せず、かつできる限り論理ゲートを含むように設定することが望ましい。また格子により分割された部分領域内に含まれる電源線の電位が一様とみなせる程度の大きさの格子により分割するのが望ましい。

次にステップS2において、格子10、10により分割された各部分領域11に含まれている論理ゲート、トランジスタを抽出する。

ここで抽出された論理ゲート、トランジスタは部分領域毎に分類しておく。このように、格子10、10により分割される各部分領域11に含まれるトランジスタ等を抽出する操作は、このようなゲートアレイレイアウトシステムがトランジスタ等を座標で分類された形でデータベース内に保持しているために、比較的容易に実施できる。次にステップS3において、各部分領域内の論理ゲートの負荷を算出する。

この論理ゲートを流れる電流は、負荷の大きさ

ることにより平均イベント数が分かり、スイッチング確率が計算できる。

これとは別に、部分領域に含まれる論理ゲートに信号を供給しているフリップフロップのクロック信号の周波数等から論理ゲートの平均スイッチング確率を計算することもできる。

次にステップS5において、次の電流計算のステップで利用するためにすべての部分領域についてゲートを整理し、電流計算用のパラメータのテーブルを準備する。

そして、以上のステップS3～S5は、すべての部分領域11についての平均スイッチング確率の計算が完了するまで繰り返し実行される(ステップS6)。

なお、ここまでステップS2～S6は電気的特性抽出部3により実行される。

次のステップS7～S11では各部分領域11を流れる電源電流を計算し、各部分領域の電位、電源線を流れる電流について回路方程式(節点方程式)を立てて、解析処理する。ただし、ステッ

PS11で繰り返し解析するようになっているが、これは各部分領域を流れる電流-電圧特性が必ずしもよく分かっていない場合でも計算できるように繰り返し収束計算を行なうためである。なお、これらの処理は、回路方程式作成部4及び回路方程式解析部5により実行される。

まず、ステップS7で各部分領域11に対して電力消費を計算するには、集積回路を構成するデバイス技術固有の性質を利用する必要がある。例えば、CMOS技術においては、ゲートがスイッチすることによる電力消費は、次のように計算される。Neil H. E. Weste 等の著書 "Principles of CMOS VLSI Design: A Systems Perspective" AT&T Bell Laboratories Inc. 1985によれば、電力消費 P_e は次の式で表わされる。

$$P_e = C_L \cdot V_{DD}^2 \cdot f_p \quad \dots (1)$$

ただし、 C_L は負荷容量であり、 V_{DD} は電源電圧、 f_p は入力方形波の反復周波数である。そして、これらのパラメータはステップS3ないしステップS4で計算されているために容易に各ゲー

リッド状に置う形式の場合を考えたが、必ずしもこの形式に限られるわけではない。また見やすくなるためにグランド側の配線については表示しなかったが、同様の回路構成となる。そして、各電流源13の値は、前記ステップS7により得られた電流値を用いる。

このステップS8で作成された回路方程式は、第5図に示すような第4図の回路各部に対して、第4図の部分領域11の座標を(i, j)、ただし、 $1 \leq i \leq N$ 、 $1 \leq j \leq M$ であり、N、Mは縦横の格子分割とし、 I_{ij} を各部分領域11を流れる電流とし、さらに節点の電位を V_{ij} とし、各部分領域11の4辺に対応する抵抗のアドミッタンスを $y_{i-1,j-1}$ 、 $y_{i,j-1}$ 、 $y_{i+1,j-1}$ 、 $y_{i,j+1}$ として節点方程式を立てると、次の(2)式のようになる。

$$YV = I \quad \dots (2)$$

ただし、Vは節点電位 V_{ij} のベクトルであり、Iは枝を流れる電流 I_{ij} のベクトルである。マトリクスは各抵抗のアドミッタンスから構成され

トの消費電力が計算できる。そして部分領域11のすべてのゲートについて消費電力を計算して総和をとることにより、部分領域内の消費電力及び電流を計算できる。

ここで、 V_{DD} にどのような電位を仮定するかは、次のようにして行なうことができる。つまり、まず最初の繰り返し計算においては、対象VLSIの電源電圧を仮定する。一般にチップに与えられる電源電圧とチップ内の電圧降下により発生する内部での電源電位は近いので、初期値としてチップに与えられる電源電位を利用するものが計算効率及び収束性において有利である。

なお、次回からの計算においては、前回の計算から分かった電源線の電圧降下を含めた電位を仮定する。

続くステップS8では、回路方程式を作る。つまり、第4図の等価回路に示したように各部分領域11の4辺を横切る電源線12の抵抗値を電源線幅及び抵抗率等により算出して決定する。ここで、電源線12の形式としては、チップ9上をグ

るアドミッタンス行列である。

次のステップS9では、回路方程式(2)を解くことになるが、ここで(2)式の行列を整理すると、次の式(3)のようになる。

$$\begin{bmatrix} Y_{11} & Y_{12} \\ \vdots & \vdots \\ Y_{21} & Y_{22} \end{bmatrix} \begin{bmatrix} V_1 \\ \vdots \\ V_2 \end{bmatrix} = \begin{bmatrix} I_1 \\ \vdots \\ I_2 \end{bmatrix} \dots (3)$$

ただし、 V_i は回路の周辺部の節点の電位に対する電位ベクトルであり、周辺部の抵抗がないとすれば電源電位Eである。これに対応する電流ベクトル I_1 は周辺部の節点からグランドに流入する電流であるが、この場合には0である。 V_2 は周辺部以外の節点の電位ベクトルであり、抵抗による電圧降下のためにEより低い電位となる。また、 I_2 は各節点からグランドに流れるステップS7で仮定した電流の大きさであり、第4図では電流源13として表現されているものである。

上記の(3)式を V_2 について解くと、次のよ

うになる。

$$V_2 = Y_{22}^{-1} I_2 = Y_{22}^{-1} Y_{21} V_1 \dots (4)$$

この(4)式によって電源の電位 V_1 と各部分領域11をグランドに向かって流れる電流 I_2 を考えると、各節点の電位 V_i を計算することができる。また周辺部から電源線12を介して回路内に流入する電流 $I_{0,0,1,1}$ (ただし、 $1 \leq i \leq N$ かつ、 $j = i$ または M であるか、または、 $i = 1$ または N かつ、 $1 \leq j \leq M$ である)は、次のように表現される。

$$I_{0,0,1,1} = Y_{0,0,1,1} (V_{0,0} - V_{1,1}) \dots (5)$$

次にステップS10において、ステップS9で計算された電位 V_2 を各部分領域11を流れる電流を計算するステップS7の仮定した節点電位に代入する。

そして、ステップS11において、繰り返しを停止してもよいかどうか判定し、前回に計算した電位 V_1 と今回の計算による電位 V_1 との差の2乗和が所定誤差以下になった場合に繰り返し計算

この表示様様は上記のものに限定されず、第2の表示方法としては、エレクトロマイグレーション等から決まる電源線の許容電流量と計算上決まる流入する電流量との差を表示して設計者に第6図と同様な方法で知らせる表示様様をとることもできる。

さらには、第3の表示方法としては、チップ9の内部での電源電圧の降下を各部分領域11毎に示すものがあり、第7図に示すようにチップ9の概略形状に重ねて各部分領域11の電圧降下を色図をもって示すこともできる。なお、各部分領域11での電圧降下は式(4)を計算することにより容易に得られる。

なお、演算結果としては、ステップS9、S10で求められた電源線電位、電源電流の他に消費電力、発熱量等も考えられる。

このようにして、この実施例では、チップ領域を仮想的な格子により複数の部分領域に分割して、各々の部分領域の電気的特性パラメータを求め、各部分領域における電源とグランド線との間を

を終了する。

次のステップS12では、結果をグラフィック表示部8に表示するが、前記(5)式によって電源から第4図の等価回路に流入する電流を各周辺領域14毎に知ることができ、この電流値を第6図に示したようにチップの概略表示の周辺にグラフ表示する。

次にステップS13では、ステップS9、S10で求められた演算結果またはこれと共にチップ9上の横横各列の全体的な積算値を基に電源配線を設計する。

第6図に示すものは、チップ9の概略表示の周辺4辺にグラフの軸15を記入し、ここに(5)式で算出した電流値 I を曲線16のようにグラフ化して表示したものである。このチップ9の概略図には、単純化のために電源側の配線のみを表示し、入出力セル上を第6図の太い線で示す電源線17がリング状に回っており、そこから細い電源線18がチップ9の内部に電流を供給するように表示している。

流れの電流-電圧特性及び電源電位より回路方程式を立ててこれを解き、チップの周辺4辺から流れ込む電流を表示するようにしているため、チップの分割された水平方向、垂直方向いずれの位置の電源線を太くしなければならないかを容易に識別することができる。

また、以上述べてきた電源配線設計方法とチップ内の素子の集合であるセルの概略配置を決定するフロアプランとを組み合わせることにより、局所的発熱を抑え、チップ9内の発熱を均一化することが可能となる。

すなわち、電力消費の大さな回路方式、例えばECL等においては、チップ9上の局所的な電力消費によって起こる発熱を避ける必要がある。そのために、この発明によって得られたチップ9上の各部分領域の消費電力ないしはこの消費電力より所定の計算式を用いて求められた発熱量の分布をグラフィック表示部8で表示し、設計者がその表示を見ながらセルの配置を変更してチップ9全体の消費電力あるいは発熱量の分布を均一化する

ことができる。

さらに、この電源配線設計方法とセルの概略配置を計算機を用いて自動的に決定する自動フロアプラン演算装置を組み合わせることにより、同様にチップ9内の発熱量を均一化することが可能となる。

すなわち、消費電力を算出するステップによって求めた消費電力あるいはこれを用いて求められた発熱量の分布から局所的に発熱の集中した領域からセルを取り出して比較的発熱の少ない領域のセルと交換またはセルを移動するステップをその発熱量が所定の許容範囲になるまで繰り返し、発熱の均一化を図ることができる。

第8図はこの発明の他の実施例のブロック図であり、初期配線状態および前回の配線状態からの改善方策をあらかじめチップ種類等毎に定められた生成ルール、制約ルールに従って生成する改善方策生成部24と、改善方策および入力したレイアウトデータ、前回に生成した回路モデルをもとに、新たに回路モデルを作成する試行回路発生部

ルール格納部214をも備えている。

また、この装置全体の処理の順序、データの流れを制御する制御部215と、得られた最小結果をレイアウトデータの形式に変換する実レイアウトデータ生成部216と、必要な情報を入力するレイアウトデータ入力格納部17をも備えている。

次に、上記構成の第2実施例の半導体集積回路の電源配線設計装置の動作について説明する。

第9図は第2実施例の半導体集積回路の電源配線設計装置の動作を示すフローチャートであり、まずステップS21でレイアウトデータ入力部217から電源配線設計に必要な情報を入力し、以下に続く処理に適した構造にしてデータを格納しておく。

次に、ステップS22において初期配線を生成する。初期配線の生成は、第8図の生成ルール格納部214に格納されたチップ形状等により決められたルールに従って配線を発生する。第10図はこのような初期配線の例であり、チップ9の周辺部に入出力パッド41が並べられ、その上に太

22と、発生した回路モデルを格納する試行回路モデル納部23と、初期モデルや前回の回路モデルを格納する回路モデル格納部24と、試行回路モデル格納部23と回路モデル格納部24との間でデータの転送を制御するための転送器25とを備えている。

また、与えられた回路を解析して電位、電流を求める解析部26と、試行回路のデータを解析するか、保存してある回路モデルのデータを解析するかを切り替えるスイッチ27と、これに対応して解析結果を格納する場所を切り替えるスイッチ28と、試行回路解析結果を格納する試行回路解析結果格納部29と、参照用回路及び元の状態の回路の解析結果を格納するための回路解析結果格納部210と、両格納部29、210の間でデータ転送する転送器211と、改善方策を施した回路と以前の回路との間で改善があったかどうかを評価する比較部212と、比較のための制約条件等のルールを格納する制約ルール格納部213と、改善方策生成に必要な生成ルールを格納する生成

い電源線42、グランド線43が規則的に走り、セルの電源端子上に細い電源線44、グランド線45を規則的に置き、各セルに電源を供給するようになっている。そこで、生成ルール格納部214にはこのような初期配線の発生手順を格納しておき、対象とする母体によって改善方策生成部1に初期配線生成を指示して初期配線回路を発生させるのである。

この初期回路の生成結果は、試行回路発生部22において取り扱いやすい回路解析用モデルに変換され、試行モデル格納部23に格納される。

この初期配線モデル生成手順の詳しい流れは第11図に示してある。

まず、対象チップ9の領域に対して第3図に示すような仮想的な縦横の格子10を設定して複数の部分領域11に分割する(ステップS31)。ここで、部分領域11への分割は、下地であるチップ母体9のトランジスタを途中で切断せず、かつできる限り論理ゲートを含むように設定することが望ましい。また格子10により分割された部

分領域 1 1 内に含まれる電源線の電位が一様とみなせる程度の大きさの格子により分割するのが望ましい。

次に、格子 1 0, 1 0 で分割された各部分領域 1 1 内に含まれている論理ゲート、トランジスタを抽出する（ステップ S 3 2）。ここで抽出された論理ゲート、トランジスタは格子毎に分類しておく。このように、格子により分割される各部分領域に含まれるトランジスタ等を抽出する操作は、このようなゲートアレイレイアウトシステムがトランジスタ等を座標で分類された形でデータベース内に保持しているために、比較的容易に実施できる。

次にステップ S 3 3において、各部分領域 1 1 内の論理ゲートの負荷を算出する。

この論理ゲートを流れる電流は、負荷の大きさに大きく依存している。ただし、CMOS 技術を利用した場合には、配線の浮遊容量、及び負荷の容量が重要である。ここで、抽出された負荷の大きさは電流計算のステップで利用される。

ク信号の周波数等から論理ゲートの平均スイッチング確率を計算することもできる。

次にステップ S 3 5において、次の電流計算のステップで利用するためにすべての部分領域についてゲートを整理し、電流計算用のパラメータのテーブルを準備する。

そして、以上のステップ S 3 3～S 3 5は、すべての部分領域 1 1 についての平均スイッチング確率の計算が完了するまで繰り返し実行される（ステップ S 3 6）。

なお、ここまでステップ S 3 2～S 3 6は電気的特性抽出部 3 により実行される。

こうして、回路解析モデルへの変換が行われ、試行モデル各の 2 3 に格納された後、第 9 図に示すフローチャートにおける次のステップ S 3 で、初期配線によって与えられる電気的な特性を解析が解析部 2 6 において実行される。

この解析部 2 6 における電気的特性の解析の詳しい手順は第 1 2 図のフローチャートに示されている。

次にステップ S 3 4において、平均スイッチング確率を計算する。つまり、CMOS ゲートアレイの場合、消費電力はスイッチング確率に比例するため、所定の部分領域に含まれる論理ゲートの平均的なスイッチング確率を計算しておく必要がある。このスイッチング確率の計算方法としては、最も直捷的な方法として論理シミュレータを利用する方法がある。この方法では、所定のテスト系列を論理シミュレータにかけ、すべてのゲートについてシミュレーションにおいて発生するイベントの数を記録しておく。

このようにしてシミュレーションをある時間続けていくことにより、各ゲート毎の所定時間内に起こったイベントの数を知ることができる。そして、次には、着目した格子に含まれるゲートすべてのイベント数の総和をとり、評価した時間で割ることにより平均イベント数が分かり、スイッチング確率が計算できる。

これとは別に、部分領域に含まれる論理ゲートに信号を供給しているフリップフロップのクロフ

ステップ S 3 1 1～S 3 1 4 では各部分領域 1 1 を流れる電源電流を計算し、各部分領域 1 1 の電位、電源線を流れる電流について回路方程式（節点方程式）を立てて、解析処理する。ただし、ステップ S 3 1 5 で終了判定を行ない、繰り返し解析するようになっているが、これは各部分領域 1 1 を流れる電流の電流-電圧特性が必ずしもよく分かっていない場合でも計算できるように繰り返し収束計算を行なうためである。

まず、ステップ S 3 1 1 で各部分領域 1 1 に対して電力消費を計算する。

この電力消費を計算するには、集積回路を構成するデバイス技術固有の性質を利用する必要がある。例えば、CMOS 技術においては、ゲートがスイッチすることによる電力消費は、次のように計算される。Neil H. E. Weste 等の著書 "Principles of CMOS VLSI Design: A Systems Perspective" AT&T Bell Laboratories Inc. 1985 によれば、電力消費 P は次の式で表わされる。

$$P_d = C_L \cdot V_{DD}^2 \cdot f_p \quad \dots (1)$$

ただし、 C_L は負荷容量であり、 V_{DD} は電源電圧、 f_T は入力方形波の反復周波数である。そして、これらのパラメータは第 11 図のステップ S 3 3 ないしステップ S 3 4 で計算されているために容易に各ゲートの消費電力が計算できる。そして部分領域 1 1 のすべてのゲートについて消費電力を計算して総和をとることにより、部分領域内の消費電力及び電流を計算できる。

ここで、 V_{DD} にどのような電位を仮定するかは、次のようにして行なうことができる。つまり、まず最初の繰り返し計算においては、対象 VLSI の電源電圧を仮定する。一般にチップに与えられる電源電圧とチップ内の電圧降下により発生する内部での電源電位は近いので、初期値としてチップに与えられる電源電位を利用する方が計算効率及び収束性において有利である。

なお、次回からの計算においては、前回の計算から分かった電源線の電圧降下を含めた電位を仮定する。

続くステップ S 3 1 2 では、回路方程式を作る。

$$YV = I \quad \dots (2)$$

ただし、 V は節点電位 V_{11} のベクトルであり、 I は枝を流れる電流 I_{11} のベクトルである。ヤマトリクスは各抵抗のアドミッタンスから構成されるアドミッタンス行列である。

次のステップ S 3 1 3 では、回路方程式 (2) を解くことになるが、ここで (2) 式の行列を整理すると、次の式 (3) のようになる。

$$\begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \quad \dots (3)$$

ただし、 V_1 は回路の周辺部の節点の電位に対する電位ベクトルであり、周辺部の抵抗がないとすれば電源電位 E である。これに対応する電流ベクトル I_1 は周辺部の節点からグランドに流入する電流であるが、この場合には 0 である。 V_2 は周辺部以外の節点の電位ベクトルであり、抵抗による電圧降下のために E より低い電位となる。

つまり、第 4 図の等価回路に示したように各部分領域 1 1 の 4 辺を横切る電源線 1 2 の抵抗値を電源線幅及び抵抗率等により算出して決定する。ここで、電源 1 2 の形式としては、チップ 9 上をグリッド状に覆う形式の場合を考えたが、必ずしもこの形式に限られるわけではない。また見やすくするためにグランド側の配線については表示しなかったが、同様の回路構成となる。そして、各電源線 1 3 の値は、前記ステップ S 3 1 1 により得られた電流値を用いる。

このステップ S 3 1 2 で作成された回路方程式は、第 5 図に示すような第 4 図の回路各部に対して、第 4 図の部分領域 1 1 の座標を (i, j) 、ただし、 $1 \leq i \leq N$ 、 $1 \leq j \leq M$ であり、 N 、 M は縦横の格子分割とし、 I_{ij} を各部分領域 1 1 を流れる電流とし、さらに節点の電位を V_{ij} とし、各部分領域 1 1 の 4 辺に対応する抵抗のアドミッタンスを $Y_{i-1, j, 1, 1}$ 、 $Y_{i, j-1, 1, 1}$ 、 $Y_{i+1, j, 1, 1}$ 、 $Y_{i, j+1, 1, 1}$ として節点方程式を立てる、次の (2) 式のようになる。

また、 I_2 は各節点からグランドに流れるステップ S 3 1 1 で仮定した電流の大きさであり、第 4 図では電源線 1 3 として表現されているものである。

上記の (3) 式を V_2 について解くと、次のようになる。

$$V_2 = Y_{22}^{-1} I_2 - Y_{22}^{-1} Y_{21} V_1 \quad \dots (4)$$

この (4) 式によって電源の電位 V_1 と各部分領域 1 1 をグランドに向かって流れる電流 I_2 を与えると、各節点の電位 V_{ij} を計算することができる。また周辺部から電源線 1 2 を介して回路内に流入する電流 $I_{0, 0, 1, 1}$ (ただし、 $1 \leq i \leq N$ かつ、 $j = 1$ または $j = M$ であるか、あるいは、 $i = 1$ または $i = N$ かつ、 $1 \leq j \leq M$ である) は、次のように表現される。

$$I_{0, 0, 1, 1} = Y_{0, 0, 1, 1} (V_{0, 0} - V_{1, 1}) \quad \dots (5)$$

次にステップ S 3 1 4 において、ステップ S 3 1 3 で計算された電位 V_2 を、各部分領域 1 1 を流れる電流を計算するステップ S 3 1 1 の仮定し

た節点電位に代入する。

そして、ステップ S 315において、繰り返しを停止してもよいかどうか判定し、前回に計算した電位 V_i と今回の計算による電位 V_i との差の 2乗和が所定誤差以下になった場合に繰り返し計算を終了する。

次に第 9 図におけるステップ S 24 の改善方策生成では、第 8 図の解析部 26 で解析した結果の格納されている回路解析結果格納部 211 から取り出せるデータと、制約ルール格納部 213 に格納されている制約条件、生成ルール格納部 214 に格納されている改善方策生成ルール等を基にして、改善方策生成部 21 がどのような電源配線の補強をすればよいかを決定する。

このステップ S 24 で取り扱う問題を定式化すると、次のような最適化問題となる。

第 1 の制約条件として金属配線のエレクトロマイグレーションに対する耐性を考慮してすべての電源・グランド配線を流れる電流 $I_{...}$ は所定の電流密度 $I_{...}$ 以下でなければならない。

$\alpha * \Sigma * I +$ 電源に関するビア数を最小化することである。なおここで、 α は 2 つの評価関数の重さを調整するパラメータであり、 $\Sigma w * I$ は電源に使用されている総配線面積である。

このような最適化問題を解く手法は次のようなものである。まず第 10 図に示したように、電源・グランド配線のモデルはチップ 9 周辺の 10 セル 41, 41, … 上に太い配線 42, 43 が周回し、そこからチップのコア部の各セルに対して電源が供給できるように垂直に配線 44, 45 が設けられている。これが基本の電源配線であるが、さらに第 13 図に示すように、チップ 9 内の消費電力の位置的な分布により水平方向に電源補強線 46, 47 を張り、配線 44, 45 との交点にビア 48, 49 を発生することにより電源配線を補強する。したがって、最適化問題は最小の電源補強線およびビア数でいかに制約条件を満足するかということになる。

そこでこの実施例では、制約条件に対する違反

つまり、 $1 \leq i \leq M, 1 \leq j \leq N$ なる (i, j) に対して、

$$I_{i-1, j, ...} < w_{i-1, j, ...} * I_{...}$$

$$I_{i, j-1, ...} < w_{i, j-1, ...} * I_{...}$$

となる。ただし、 $w_{i-1, j, ...}, w_{i, j-1, ...}$ は電源線等の配線幅である。

また第 2 の制約条件としては、電源・グランド配線の抵抗により発生する電圧降下をあらかじめ規定された値以下にする必要がある。

つまり、 $1 \leq i \leq M, 1 \leq j \leq N$ なる (i, j) に対して、

$$V - v_{i, j} \leq \Delta V_{...}$$

$$0 - v_{i, j} \leq \Delta V_{...}$$

となる。ただし、 V は電源電圧、 $\Delta V_{...}$ は許容される電位変化、 $v_{i, j}$ は各格子に対応する節点の電位である。

次に最適化の目的関数としては、一般配線に利用できる配線リソースを確保するためにすべての電源配線の幅の総和と、ビア数を最小化することになる。つまり、

箇所を数えてその数の多いところを補強できるよう電源補強線を引くこととする。この手順は第 14 図のフローチャートに従う。

まず、エレクトロマイグレーションを考慮した制約条件 1 について、初期配線として与えられる電源配線について違反箇所、つまり規定以上に電流の流れている箇所を数える。この作業をすべての電源線について行い、各電源線に対して違反数を記録したリスト L_{cvv} を作成する。ここで、この違反数の多い電源線は電源幅に対して電流が多いことになる（ステップ S 41）。

続いて、これから張る電源補強線に対応して水平方向に並ぶ仮想的に作った部分領域の列ごとに制約条件 2、つまり電源電位の変動が規定値以上の部分の数を計算し、すべての水平の部分領域に対してその数を記録したリスト L_{cvH} を作成する（ステップ S 42）。

続いて、補強すべき点を調べる。つまり、前記 L_{cvH} が最大の線と L_{cvv} が最大の線とを求めるのである（ステップ S 43）。この実施例では、

電源補強を水平方向の配線で行なうので、水平方向に積算した値が重要である。また電源補強用の水平方向の配線から垂直な電源線へ電流を供給するためのピアは L_{cvv} が最大の点に供給する必要がある。

続いて、ステップ S 4 3 で求めた点を目標に補強の方策を作る。(ステップ S 4 4)。そのためにまず、すでに敷設されている電源補助線が活用できいかどうかを調べる。つまり、 $maxL_{cvv}$ に近い位置に電源補助線があればそれを利用する。これは配線リソースを有効活用するためである。もし適当な近傍に電源補助線がないときには、新たに補助線を発生することを方策とする。次に、 $maxL_{cvv}$ の点をピア発生点とする方策を取る。

こうして、電源補強処理が終了すると、次には、第 9 図のフローチャートにおけるステップ S 2 5 の処理に移り、第 8 図の試行回路発生部 2 2 を利用して試行回路モデルを作成する。ただし、その前に作られていたモデルは参照のために保存しておく必要があるので、必要な場合には転送器 2 5

納されている解析結果と解析結果格納部 2 1 0 に格納されている解析結果とを比較部 2 1 2 で比較する。

ここで、比較項目は前述の第 1 の制約条件、第 2 の制約条件等であるが、比較項目に対する違反件数だけで比較するのではなく、違反の度合いを大小として評価することによって、より計算効率を上げることができる場合が多い。第 8 図の比較部 2 1 2 は、比較結果を制御部 2 1 5 に信号として送り、処理の流れ及びデータの流れを制御することになる。

第 9 図の次のステップ S 2 8 は、ステップ S 2 7 の判断で受け入れられる方策、つまり改善があったと判断されなかった時にその試行配線結果をキャンセルする処理であり、この場合には、第 9 図の試行回路モデルを回路モデル格納部 2 4 に転送したり、試行回路解析結果を回路解析結果格納部 2 1 0 に転送する処理を行なわないことになる。

次のステップ S 2 9 では、ステップ S 2 4 で生成した改 方策に若干の修正を行なうことにより

を使って回路モデル格納部 2 4 に待避しておく。この試行回路モデル生成の手順は前記ステップ S 2 2 の手順と同じである。しかしながら、平均スイッチング確率等は変化せず、補強配線を行なったことにより若干回路構造が変化したわけであるから、一般には補強に対応する抵抗および接続を追加すればよい。

第 9 図における次のステップ S 2 6 では、修正した試行回路モデルの電流、電圧の状態を解析するのであるが、その手法は第 9 図のステップ S 2 3 とほとんど同じである。つまり、第 8 図のスイッチ 2 7 により試行回路モデルを選択し、解析部 2 6 で解析を行なう。この結果は、スイッチ 2 8 によって試行回路解析結果格納部 2 9 に格納される。ただし、それ以前の結果も保存しておくために、必要な場合には転送器 2 1 1 を使用して第 8 図の回路解析結果格納部 2 1 0 に保存する。

続くステップ S 2 7 では、改善方策によって生成された回路の特性が改良されたかどうかを判断する。第 8 図の試行回路解析結果格納部 2 9 に格

改善できる可能性があるので、先の改善方策の小修正を行ない、再度改善の可能性を試みる。

ここで行なう方策修正の方向は、原則的に改善方策を少なくする方向であり、このように少なくする方向に動かすことにより、最終的には元の状態まで戻ることになり、必ずステップ S 2 7 から抜けることができ、無限ループとなる恐れはない。

次のステップ S 2 1 0 は、改善のあった試行配線結果を改善された回路として受け入れるステップである。つまり、第 8 図において試行回路モデルを回路モデル格納部 2 4 に転送したり、試行回路解析結果を回路解析結果格納部 2 1 0 に転送する処理を行なう。

続くステップ S 2 1 1 において、改良が十分に行われ、制約条件が満足されたかどうかを調べる。この処理は、第 8 図の比較部 2 1 2 によって行われる。ここで制約条件は、第 8 図の制約ルール格納部 2 1 3 に格納された制約ルールを使って行なう。

こうして、制約条件を満たす改善された試行回

路が見出されれば、次のステップ S 212 で回路モデル格納部 24 に格納された電源・グランド配線の抽象レベルのデータを実際のパターン用のポリゴンデータに変換する。

このようにして、第 2 実施例の半導体集積回路の電源配線設計装置では、試行回路発生部 22 により半導体集積回路の電源・グランド配線の回路モデルを試行的に生成し、この試行回路発生部 22 の生成した回路モデルの各部分領域毎の電気的特性を、解析部 26 によって解析する。そして、試行回路発生部 22 が前回生成した回路モデルに対する解析部 26 による電気的特性の解析結果と今回生成した回路モデルに対する解析部 26 による電気的特性の解析結果とを比較部 212 によって比較評価し、この比較評価結果に従って、改善方策生成部 24 が回路モデルを所望の目的に向こうに改善する方策情報を生成して試行回路発生部 22 に与える。

こうして、この試行手順を何度か繰り返すことにより、電源・グランド配線の最適化設計を行な

うことができるのである。

なお、上記の改善方策生成手法の別の実施例としては、非線形の電流源を線形化したモデルの上で最適な電源・強線挿入位置と電源ピア発生位置とを決定する方法がある。第 15 図はこのような改善方策生成問題を解くためのモデルを示していて、第 4 図および第 5 図の解析用の回路モデルに対して電源補強可能な位置に電源補強線の候補 1, 2, …, j, …, n を暫定的に引き、配線抵抗をモデルとして組込み、さらに基本的な電源線 1, 2, …, i, …, m の各節点と電源補強線の対応する節点間にスイッチ $s_{w_{ij}}$ を入れて接続・開放が概念上できるようにしている。

このモデルの上では、最適方策生成の問題、つまり電源線の電流密度制約と電源電位変動の制約とを守りつつ、配線リソース利用を最小化する問題は各スイッチ $s_{w_{ij}}$ を動かして最小の補強線数でかつ最小のスイッチオン、つまり最小の電源ピア数で両制約条件を満足するスイッチ接続の組み合わせを発見することである。

第 16 図および第 17 図のフローチャートに従ってこの処理は実行され、挿入する電源補強線の位置決めと、その電源補強線上で作るべきピアの位置決めとがなされる。この両手順は共に評価閾数の微係数を求めることができないために、評価閾数を直接計算して探索区間を順次縮小する方法、例えば、Calahan の "Computer-Aided Network Design", McGraw-Hill, 1972 の第 11 章に書かれている Fibonacci 探索のような手順によって行なうことができる。

1 つの電源補強線の位置決定は、第 16 図に記述されているような手順で行われる。ただし、ここで最良の電源補強線位置が内部にあるものとして取り扱う。

第 16 図のフローチャートにおいて、ステップ S 51 では電源補強線の挿入位置の両端、第 13 図では最下端の水平電源補強線について各々スイッチを閉じたと仮定した時の改善を評価し、 P_L , P_R として記憶する。

次のステップ S 52 では、例えば Fibonacci 探

索を利用するならば、その手法で決定される位置の近くの電源補強線について、スイッチを閉じたと仮定したときの改善を評価し、 P_{M1} として記憶する。

続くステップ S 53 では、探索法で決まる別の内点の近くの電源補強線について、すべてのスイッチを閉じたときの改善を評価し、 P_{M2} とする。

次に、最適値を探索する範囲を決定するステップ S 54 を行なう。ここでは P_L , P_R , P_{M1} , P_{M2} の位置が第 18 図のように並んだとすると、

P_L の位置 < P_{M1} の位置

< P_{M2} の位置 < P_R の位置

である。また、第 18 図のように $P_{M1} > P_{M2}$ であるとすれば、最小値の探索の場合には、次の探索区間は (P_{M1} の位置, P_R の位置) となり、 P_{M2} は再利用できる。したがって、次のように位置情報および値を更新する。

$P_L \leftarrow P_{M1}$; $P_{M1} \leftarrow P_{M2}$; $P_R \leftarrow P_R$

また第 19 図に示すように $P_{M1} < P_{M2}$ であれば、次のように位置情報および値を更新する。

$$P_L \leftarrow P_L; P_{M1} \leftarrow P_{M2}; P_R \leftarrow P_{M2}$$

このようにすることにより、順次探索区間を狭くすることができる。ここで、ステップS55で補強位置を確定するのに十分に区間が狭まれば、処理のループを終わりにし、補強位置を確定することができる。

続いて、第17図に示すフローチャートに従って、確定した電源補強線に対してどのようにピアを作成して電源を供給すればよいのかを決定する手順を示している。この第17図で取り扱う問題は、第15図の等価回路において、第16図の処理手順により決定された電源補強位置 j に対してどのスイッチ $s_{W_{1j}}$ を、しかもなるべく少ない数のスイッチを閉じれば最適な電源補強ができるかを決定する問題である。もちろん、ここですべての可能な位置にピアを開ければ最大の電流供給ができることになるのであるが、ピアを多数開けなければならないことは配線リソース上は不利になる。

この処理も、第16図の処理手順と同じく区間

探索の場合には、次の探索区間は(V_{M1} の位置、 V_{M2} の位置)となり、 V_{M2} は再利用できる。したがって、次のように位置情報および値を更新する。

$$V_L \leftarrow V_{M1}; V_{M1} \leftarrow V_{M2}; V_R \leftarrow V_R$$

また、 $V_{M1} < V_{M2}$ であるとすれば、次のように位置情報および値を更新する。

$$V_L \leftarrow V_L; V_{M1} \leftarrow V_{M2}; V_R \leftarrow V_{M2}$$

このようにすることにより、順次探索区間を狭くすることができる。ここで、ステップS65でピア位置を確定するのに十分に区間が狭まれば、処理の内側のループを終了する。

次に、ステップS66で、確定したピア位置を登録して以後の解析に組み込む。さらに、ピアを発生できる指定の場合には、次のピアの発生位置探索の準備に移る。

次に、ステップS67で、特定の電源補強線でのピア生成の終了条件に達したかどうかを判断する。この終了条件は場合によって異なり、指定回数行うことにより終了したり、改善がある程度以上効果を出さなくなった時点を終了するなどの方

探索手法を基礎としている。ただし、ここで最良のピア発生位置が区間の両端ではない場合を想定して取扱いを説明すると、まず電源補強線のピア発生位置の両端、つまり第15図で所定の水平電源補強線の左右端のスイッチを閉じたと仮定した時の改善を評価し、 V_L 、 V_R として記憶する(ステップS61)。

次に、例えば Fibonacci探索を利用するならば、その手法で決定される位置の近くのピアについてスイッチを閉じたと仮定した時の改善を評価し、 V_M として記憶する(ステップS62)。

次のステップS63では、探索法で決まる別の内点の近くのピアのスイッチを閉じたときの改善を評価し、 V_{M2} とする。

ついで、次に最適値を探索する範囲を決定するステップS64に移る。ここでは、 V_L 、 V_R 、 V_{M1} 、 V_{M2} の位置が次のように並んだとする。

V_L の位置 < V_{M1} の位置

< V_{M2} の位置 < V_R の位置

さらに、 $V_{M1} > V_{M2}$ であるとすると、最小値の

法がある。

こうして、第16図の手順と第17図の手順との組み合わせにより電源補強すべき位置を見出だし、その電源補強を行なうことができる。なおここで、補強を試行してスイッチを閉じたときの回路の状態を解析するには、一般的な直流回路の解析手法を利用することができる。

【発明の効果】

以上のようにこの発明によれば、半導体基板上に設定した仮想的な格子により複数の部分領域に分割して、各部分領域毎の電気的特性パラメータを求め、そこを流れる電流、消費電力、発熱量等の回路特性を求める、これを各格子に沿った水平方向(横方向)、垂直方向(縦方向)に一方の辺から他方の辺まで積算し、縦横各列で消費する電力、発熱量、そこを流れる最大電流量等を求めるので、半導体基板上のどの位置においてどれくらいの電流が流れ、電力消費がなされ、あるいは発熱があるのがを把握することができ、電源配線設計に役立てることができる。

また、計算結果を半導体基板上の位置との対応において表示するようにしているために、設計者は表示を見ながら設計することができ、電源配線設計を容易なものとすることができます。

さらに、この発明によれば、電源・グランド配線の試行回路モデルを自ら生成して、これに改善を加えながら最適な電源・グランド配線モデルを得ることができ、電源・グランド配線の自動設計が容易に行なえる。

4. 図面の簡単な説明

第1図はこの発明の第1実施例のブロック図、第2図は上記の実施例の動作を示すフローチャート、第3図は上記の実施例におけるチップの領域分割方法を示す説明図、第4図は上記の実施例における電源配線設計対象となるチップの等価回路図、第5図は上記の実施例の1つの部分領域の等価回路の拡大図、第6図はチップ上の各部分領域の縦横各列に流れる電流を示すグラフ表示する表示例を示す説明図、第7図はチップ状に被せる電位降下の大小を色調表示した表示例を示す説明図、

第8図はこの発明の第2実施例のブロック図、第9図は上記実施例の動作を示すフローチャート、第10図は上記実施例で用いるチップ上の電源・グランド線の配置パターンの一例を示す説明図、第11図は上記実施例における仮想格子を設定して各格子ごとの電気的特性を解析する処理を示すフローチャート、第12図は上記実施例における仮想格子毎の回路特性を求める処理を示すフローチャート、第13図は上記実施例で電源補強を行なうチップの説明図、第14図は上記実施例における回路モデルの改善方策生成処理のフローチャート、第15図はこの発明の第3実施例における改善方策手法の原理を説明するための等価回路図、第16図は上記実施例においてどの電源線を補強するかを決定する処理のフローチャート、第17図は上記実施例においてどの位置にピアを開けるかを決定する処理のフローチャート、第18図はどの電源線について補強処理の行うかを決定する原理を説明する説明図、第19図はどの位置にピアを開けるかを決定する原理を説明する説明図で

ある。

1 … 入力部	2 … 格子設定部
3 … 電気的特性抽出部	
4 … 回路方程式作成部	
5 … 回路方程式解析部	
6 … 出力部	
7 … 電源配線設計部	
8 … グラフィック表示部	
2 1 … 改善方策生成部	
2 2 … 試行回路発生部	
2 3 … 試行回路モデル格納部	
2 4 … 回路モデル格納部	
2 5 … 転送器	2 6 … 解析部
2 7 … スイッチ	2 8 … スイッチ
2 9 … 試行回路解析結果格納部	
2 1 0 … 回路解析結果格納部	
2 1 1 … 転送器	2 1 2 … 比較部
2 1 3 … 制約ルール格納部	
2 1 4 … 生成ルール格納部	

2 1 5 … 制御部

2 1 6 … 実レイアウトデータ生成部

2 1 7 … レイアウトデータ入力格納部

代理人弁理士 三好秀和

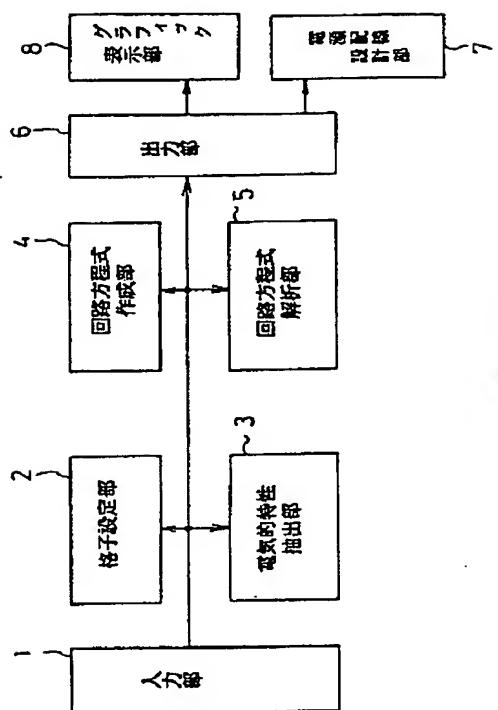
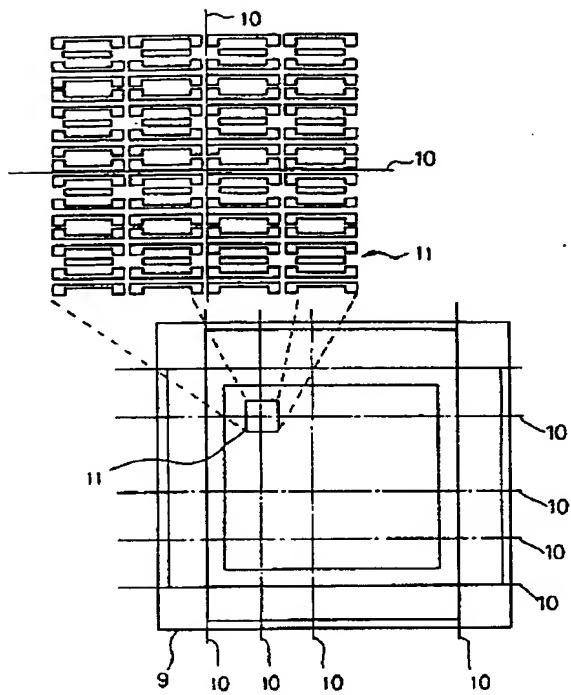
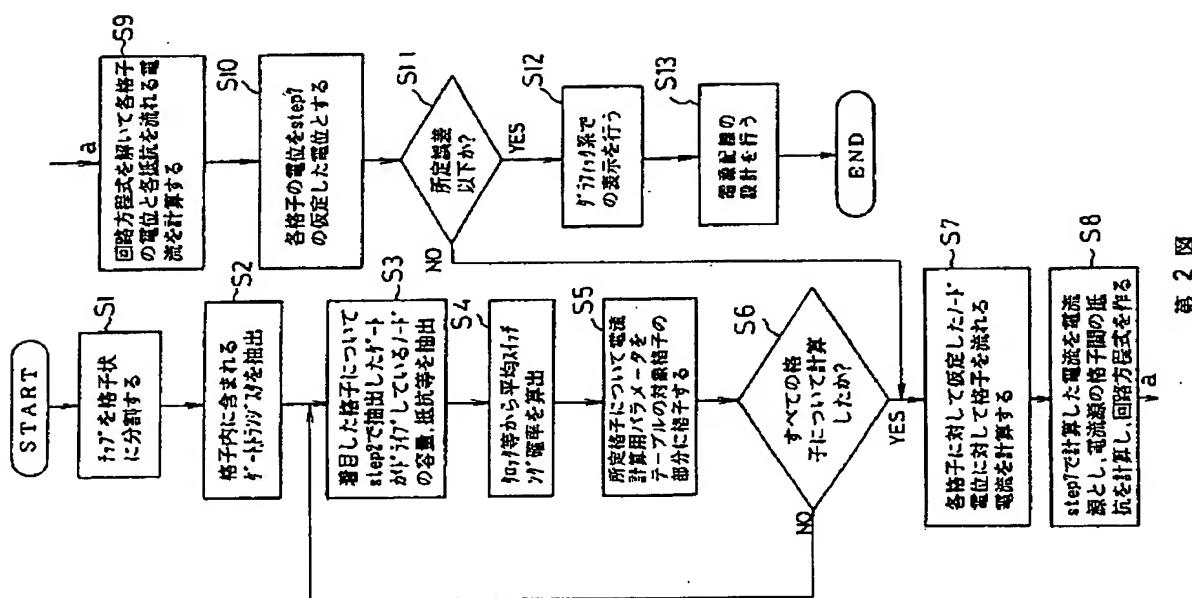


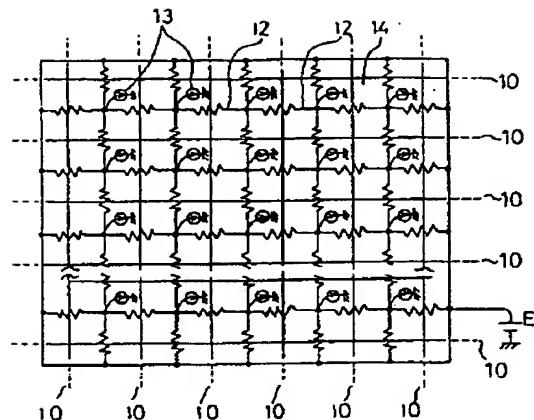
図
1
第



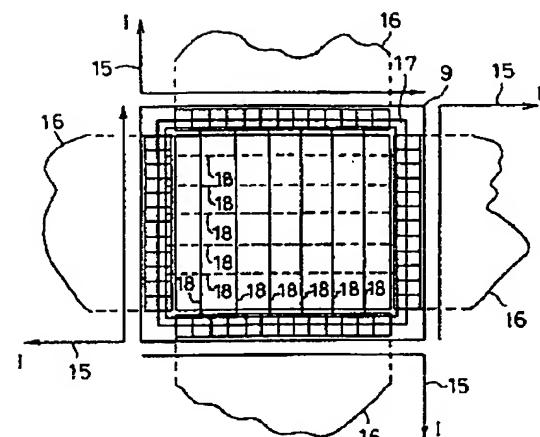
第3圖



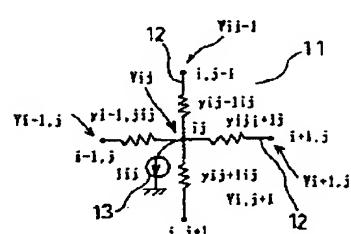
26



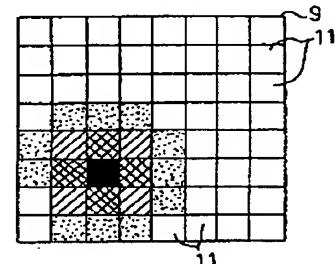
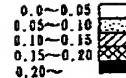
第4図



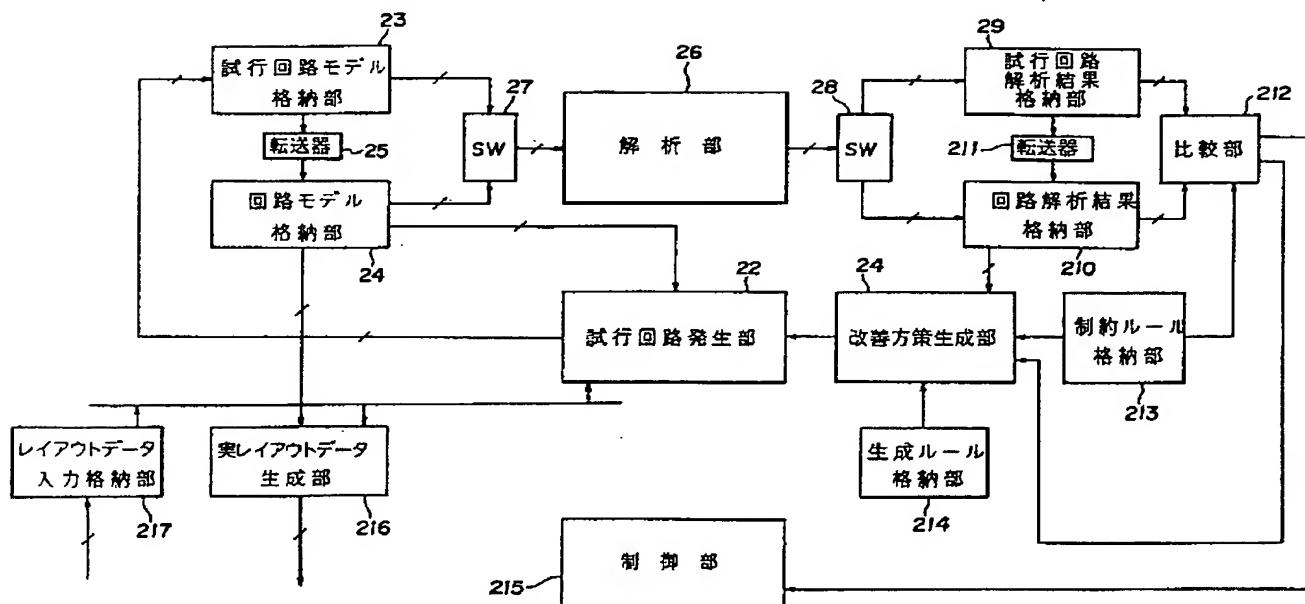
第6図



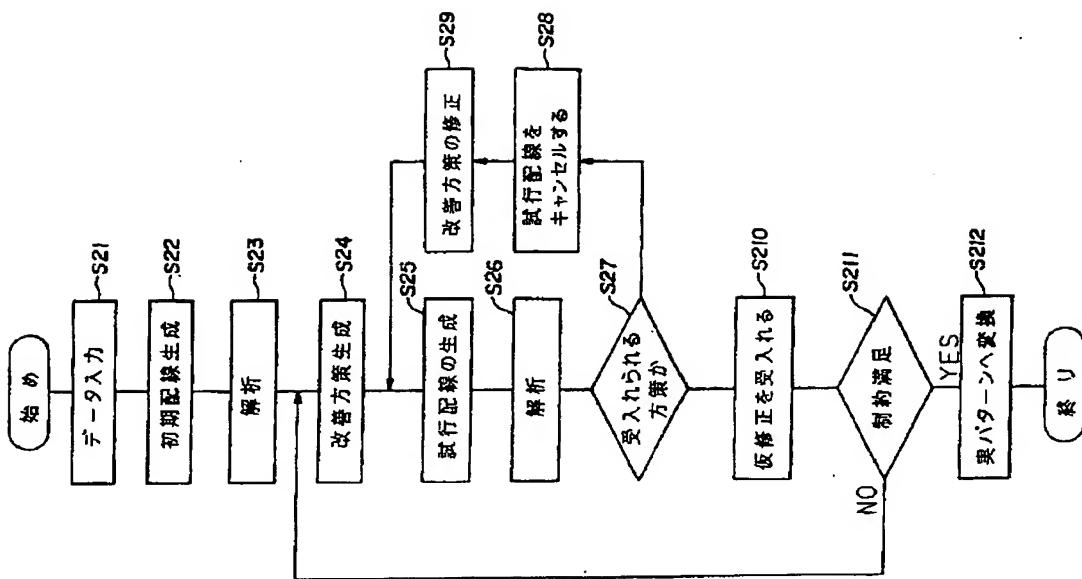
第5図



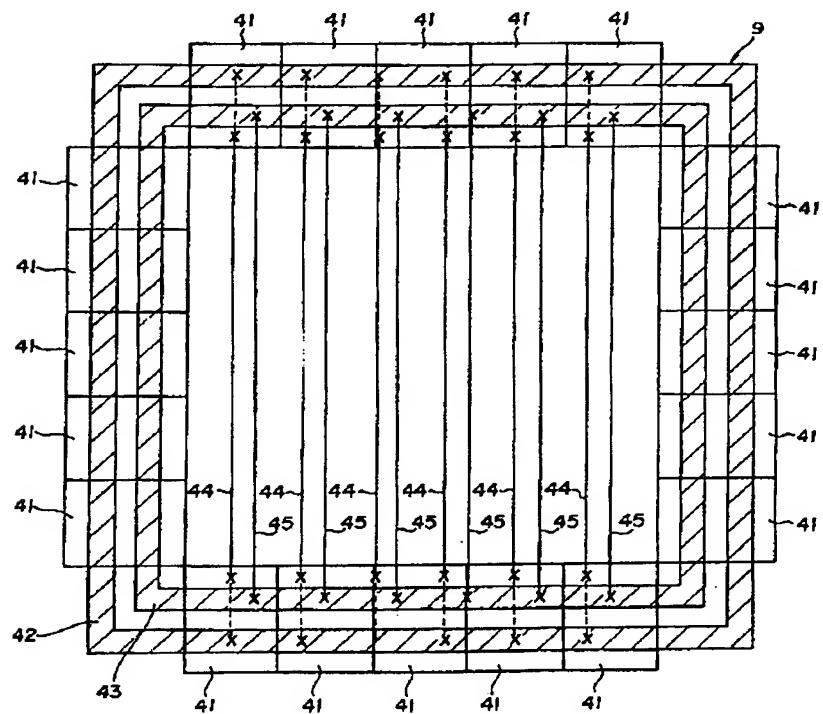
第7図



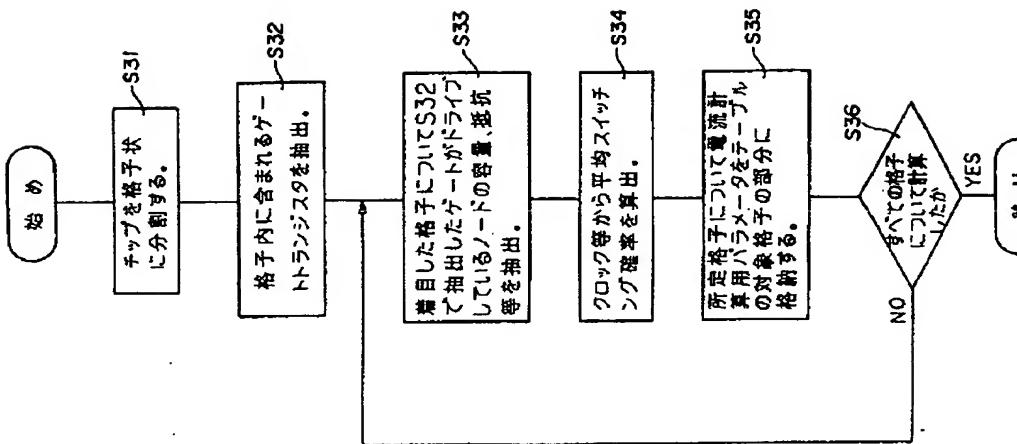
第8図



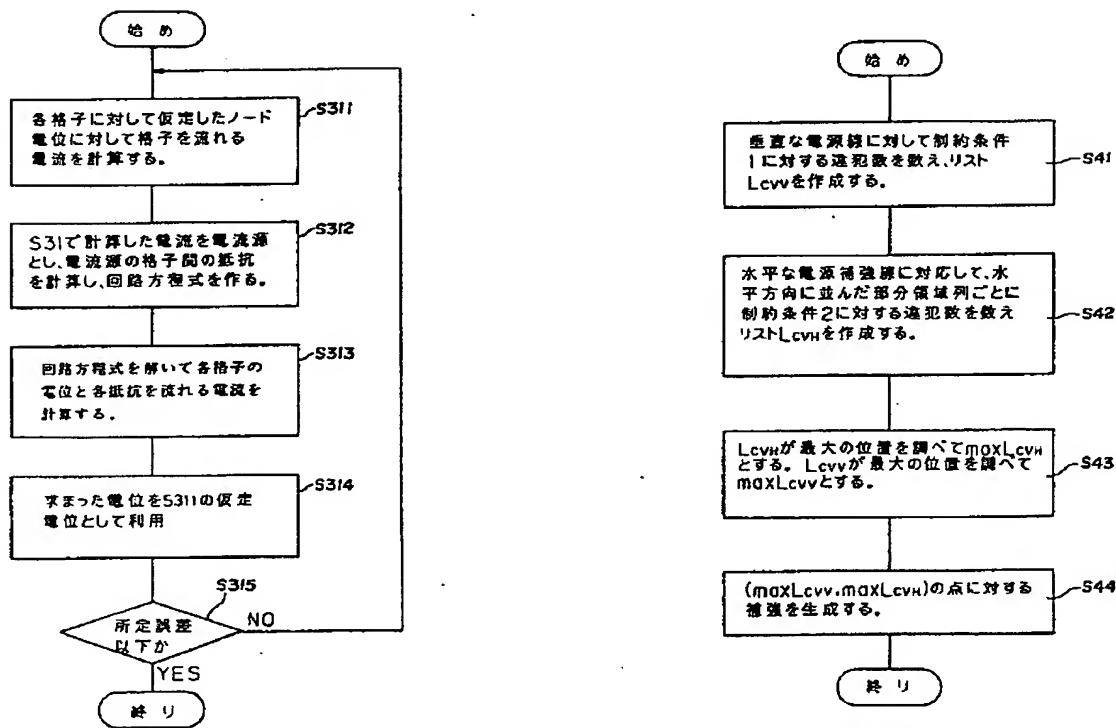
四
九
歲



第10図

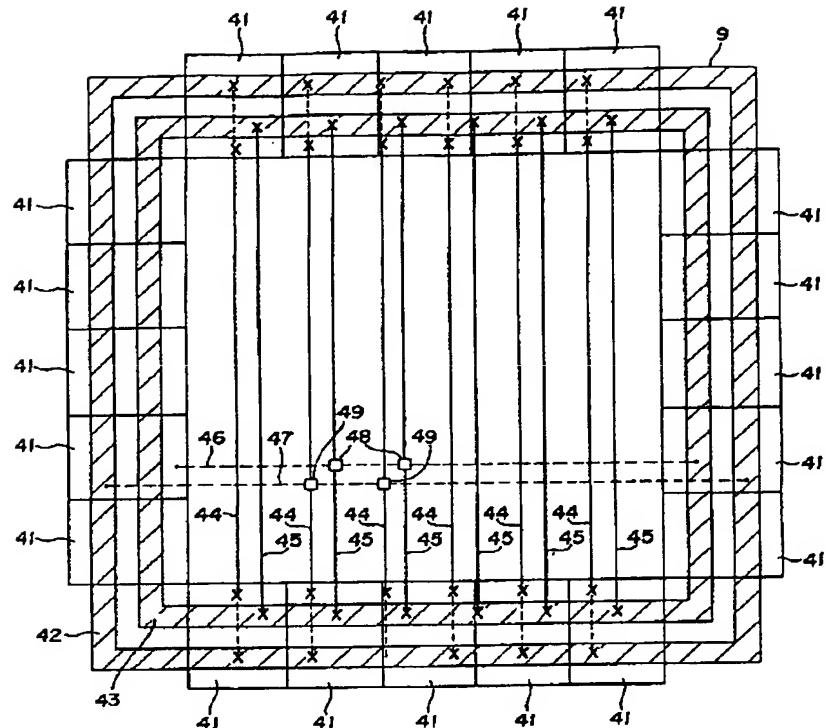


第11図

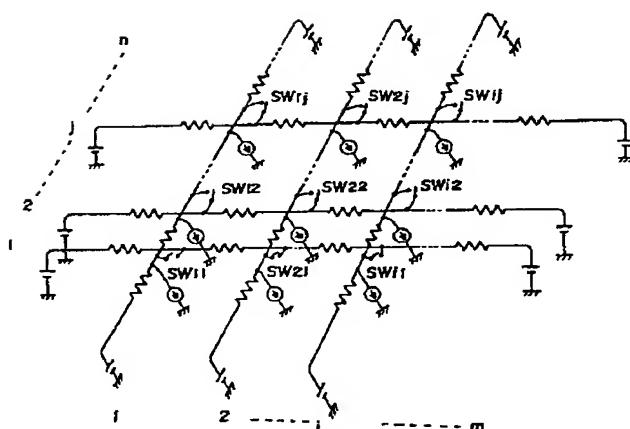


第12図

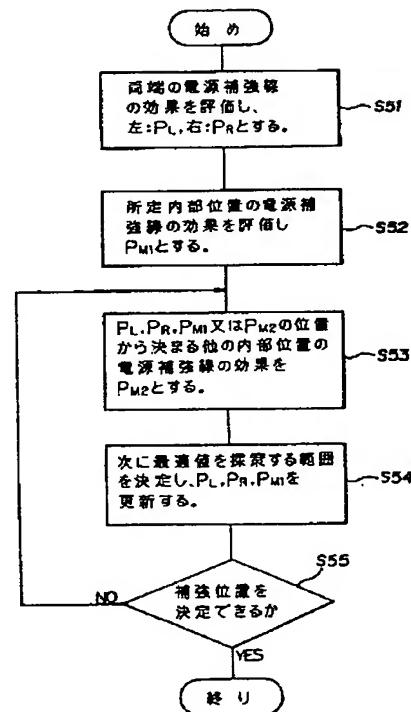
第14図



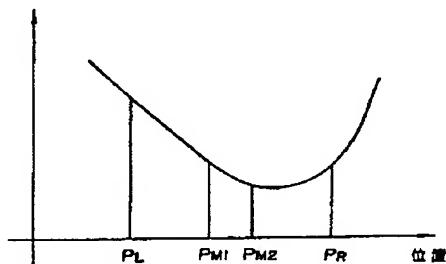
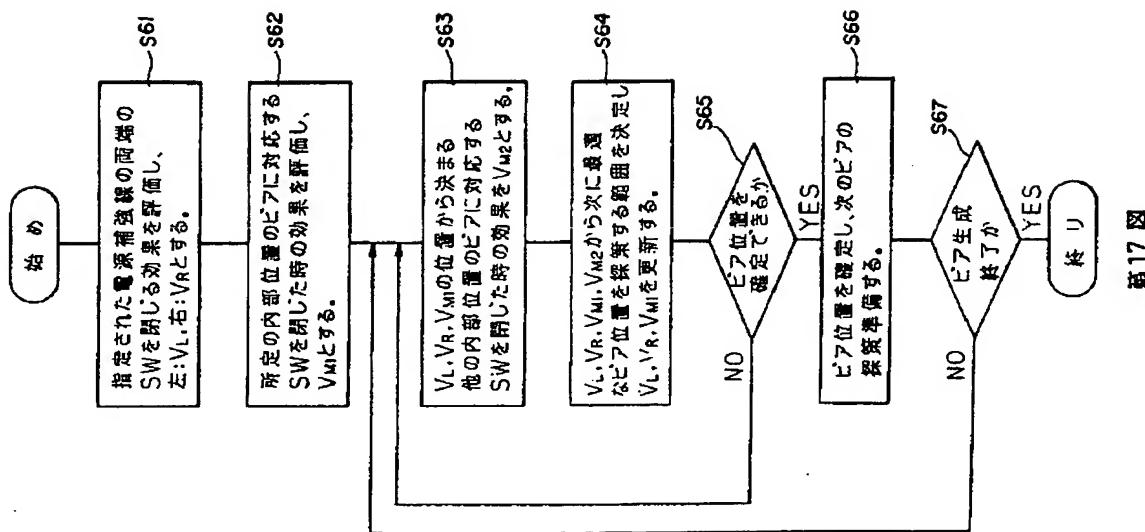
第13圖



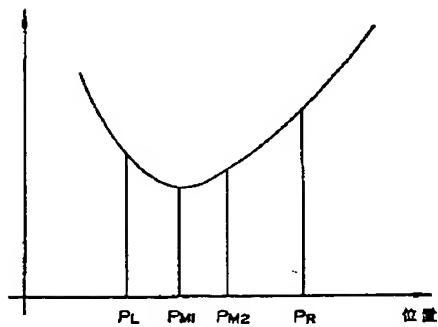
第15回



第16圖



第18図



第19図